

1 200 V HVIC 中应用电势控制技术的隔离结构

张 森^{1,2}, 盘成务¹, 李浩宇¹, 何乃龙^{1,2}, 马 杰¹, 张 龙¹, 刘斯扬¹, 孙伟锋^{1*}

(1. 东南大学国家 ASIC 工程研究中心, 江苏南京 210096; 2. 华润上华科技有限公司, 江苏无锡 214061)

摘要: 本文提出了一种可应用于 1 200 V 隔离结构的电势控制技术. 这一电势控制技术通过电势传递场板 (Potential Delivering Field Plates, PDFPs) 实现, PDFPs 在高压结终端 (High Voltage Junction Termination, HVJT) 区域上具有相同的间距, 在 P 型隔离环区域上 PDFPs 的间距开始调整, 在 N/P 沟道横向双扩散金属-氧化物-半导体 (Lateral Double-diffused Metal-Oxide-Semiconductor, LDMOS) 上靠近源极和漏极侧的 PDFPs 之间的间距变宽、位于漂移区中部的 PDFPs 之间的间距变窄. HVJT 区域的电势通过 PDFPs 传递至 LDMOS 区域, 调节了 LDMOS 的表面电势分布并且防止了其提前击穿. 实验结果表明采用 PDFPs 的隔离结构与没有应用 PDFPs 的隔离结构相比击穿电压提高了 467%.

关键词: 电势传递场板; 1 200 V 隔离结构; 高压结终端; LDMOS; 击穿电压

基金项目: 国家自然科学基金 (No. 62274032)

中图分类号: TN433; TN305

文献标识码: A

文章编号: 0372-2112(XXXX)XX-0001-05

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20240571

An Isolation Structure Applying Potential Control Technique in 1 200 V HVICs

ZHANG Sen^{1,2}, PAN Cheng-wu¹, LI Hao-yu¹, HE Nai-long^{1,2}, MA Jie¹, ZHANG Long¹,
LIU Si-yang¹, SUN Wei-feng^{1*}

(1. National ASIC System Engineering Research Center, Southeast University, Nanjing, Jiangsu 210096, China;

2. CSMC Technologies Co. Ltd., Wuxi, Jiangsu 214061, China)

Abstract: A potential control technique that can be used in 1 200 V isolation structure is proposed. Such potential control technique is realized through the potential delivering field plates (PDFPs). The PDFPs have the same spacing in the high voltage junction termination region, and the spacing of PDFPs begins to adjust in the P-type isolation ring region. The spacing of PDFPs near the source and drain side on the N/P channel lateral double-diffused metal-oxide-semiconductor are widened, and the spacing of PDFPs in the middle of the drift region is narrowed. The potential of the HVJT is delivered to the LDMOS region by PDFPs, which regulates the surface potential distribution of the LDMOS and prevents its premature breakdown. The experimental results indicate that the proposed isolation structure has 467% improvement in breakdown voltage compared with the isolation structure without PDFPs.

Key words: potential delivering field plates (PDFPs); 1 200 V isolation structure; high voltage junction termination; lateral double-diffused metal-oxide-semiconductor (LDMOS); breakdown voltage

Foundation Item(s): National Natural Science Foundation of China (No.62274032)

1 引言

高压集成电路 (High Voltage Integrated Circuits, HVIC) 广泛应用于功率器件的栅极驱动, 例如硅基绝缘栅双极晶体管 (Insulated Gate Bipolar Transistor, IGBT), 碳化硅金属-氧化物-半导体场效应晶体管 (Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET) 和氮化镓

高电子迁移率晶体管 (High Electron Mobility Transistor, HEMT)^[1-4]. 隔离结构实现了高压侧电路和低压侧电路之间的电气隔离, 决定了 HVIC 的稳定性和可靠性^[5,6].

近年来, Divided RESURF 结构已经成为了 600 V 和 1 200 V HVIC 的主流隔离结构^[7,8]. Divided RESURF 结构包括高压结终端 (High voltage junction termination, HVJT)、

P型隔离环和横向双扩散金属氧化物半导体(Lateral Double-diffused Metal-Oxide-Semiconductor, LDMOS). 嵌入 Divided RESURF 隔离结构的N沟道LDMOS(NLDMOS)承担电平上移的功能,目前已具有良好的性能^[9-11]. 然而,承担电平下移功能的P沟道LDMOS(PLDMOS)嵌入隔离结构是比较困难的. 由PLDMOS源端或漏端强电场导致的强碰撞电离会导致寄生PNP双极晶体管开启,从而形成流向衬底的纵向泄露电流,导致PLDMOS的击穿电压很低,因此,整个隔离结构面临提前击穿的问题^[12,13]. 到目前为止,大多数的高击穿电压技术已经被应用在NLDMOS中,如超结技术^[14,15]、Double RESURF技术^[16,17]和Triple RESURF技术^[18,19]. 然而,在成熟的高压集成电路工艺中,高性能1 200 V PLDMOS的有效兼容方法却很少有详细的报道.

本文通过仿真和实验研究了一种同时嵌入NLDMOS和PLDMOS的新型1 200 V隔离结构. 基于提出的电势控制技术,隔离结构的击穿电压(Breakdown Voltage, BV)从296 V提高到1 680 V,并且嵌入隔离结构的N/PLDMOS器件的开态击穿电压均可以达到1 500 V以上. 此外,与传统隔离结构相比没有增加额外的掩模版和工艺步骤.

2 器件结构与机理

本文提出的隔离结构示意图如图1所示,该隔离结构由HVJT、P型隔离环、NLDMOS和PLDMOS构成. 浮空的PDFPs与多晶硅栅极采用同一个掩模版来形成,并且以封闭的环形结构淀积在隔离结构上. PDFPs在隔离结构上的具体分布示意图如图2所示. PDFPs被均匀地淀积在HVJT区域,间距为 L_1 ;PDFPs的轨道转移至P型隔离环区域时进行间距调整;在PLDMOS区域,PDFPs的间距在源端/漏端(区域I/区域III)变宽,在漂移区中部(区域II)变窄. PDFPs的在区域I、区域II、区域III的间距分别为 L_2 、 L_3 、 L_4 . NLDMOS上的PDFPs从漏极侧到源极侧的分布与PLDMOS中源极侧到漏极侧的分布相同. 在提出的隔离结构中PLDMOS的源极区均采用N+/P+间隔注入的方式形成,多晶硅栅极仅覆盖在P+注入区域所对应的N型体区上. 隔离结构的衬底和外延层均为P型硅, NLDMOS的N型漂移区由深N阱形成,在深N阱中,通过浅P阱形成PLDMOS的P型漂移区. 本文用于对照的传统隔离结构与提出的隔离结构的区别在于:传统隔离结构未应用PDFPs.

在提出的隔离结构中,所有PDFPs都是由重掺杂的多晶硅形成的,因此每一个PDFP都可被视为一个等势体. 当PDFPs跨过隔离结构中的各个区域时,PDFPs与下方的半导体区域形成了电容,并且在电场中具有一定的感应电势. 由于隔离结构中HVJT区域的宽度远大于

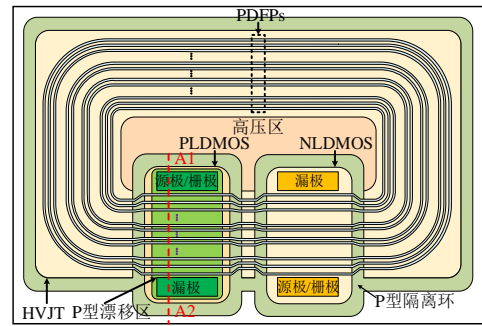


图1 应用电势调控技术的隔离结构示意图

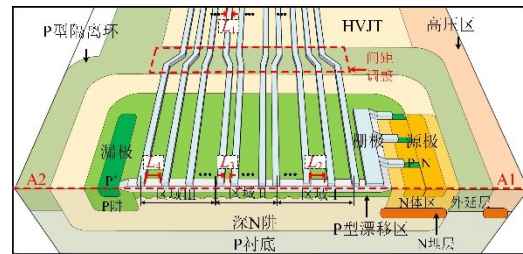


图2 应用电势调控技术的隔离结构PLDMOS的鸟瞰图, 包含A1-A2切面

其他区域,因此PDFPs中的感应电势主要由HVJT区域控制,进而,当PDFPs传递至LDMOS上方后,因为电容的存在,PDFPs将决定LDMOS内的电势分布. 设相邻两个PDFPs的电势分别为 V_1 和 V_2 ,它们之间的电势梯度(∇)为

$$\nabla = (V_1 - V_2)/L \quad (1)$$

其中, L 为两个PDFPs的间距. 因此,将 L 增大,意味着两个PDFPs之间的电势梯度减小、电场强度减小;将 L 减小,意味着电势梯度增大、电场强度增大. PDFPs上感应的电势被传递到LDMOS区域后,具有更大间距(L_2 和 L_4)的PDFPs使得它们覆盖区域的电势梯度减小,相反,具有更小间距(L_3)的PDFPs使得它们覆盖区域的电势梯度增大. 因此,可以通过调整PDFPs在PLDMOS上的间距来调整PLDMOS的电势分布,即使不改变结构,PLDMOS也可以通过这种电势控制技术来实现高击穿电压和低漏电.

隔离结构的关键设计参数如表1所示,本文提出的隔离结构和传统的隔离结构均采用2 800 μm 的宽度, HVJT、NLDMOS和PLDMOS均采用184 μm 的漂移区长度(L_4), NLDMOS和PLDMOS的沟道宽度均为60 μm . 为保证覆盖大部分漂移区,PDFPs的个数被设置为53,区域I、区域II、区域III中PDFPs的个数分别为10、33、10,每一个PDFP的宽度为1 μm 以形成尽可能多的PDFPs并超过最小工艺线宽, L_1 、 L_2 、 L_3 和 L_4 分别为2 μm 、4 μm 、1 μm 和4 μm . 值得注意的是,考虑到PLDMOS的导通电阻,我们采用较高掺杂浓度的P型漂移区,并采用分段注入技术来优化P型漂移区的浓度.

表 1 关键设计参数

参数	传统结构	提出结构
P 衬底电阻率/ $(\Omega \cdot \text{cm})$	160	160
深 N 阱掺杂浓度/ cm^{-3}	5.0×10^{15}	5.0×10^{15}
P 型漂移区掺杂浓度/ cm^{-3}	3.0×10^{16}	3.0×10^{16}
LDMOS 沟道宽度/ μm	60	60
隔离结构宽度/ μm	2 800	2 800
场氧厚度/ nm	550	550
漂移区长度 L_d / μm	184	184
PDFPs 个数	/	53
PDFP 的宽度/ μm	/	1
L_1 / μm	/	2
L_2 / μm	/	4
L_3 / μm	/	1
L_4 / μm	/	4

3 实验结果与分析

3.1 关态特性

制造了三种没有 PDFPs 的传统隔离结构来与提出的隔离结构进行对照. 隔离结构的 BV 特性与 LDMOS 的 I - V 特性测试都采用 Keysight B1505A 功率器件分析仪完成, 测试模式为直流电压源模式. 传统隔离结构的 BV 测试曲线如图 3 所示, 仅 HVJT 和 HVJT/NLDMOS 结构的 BV 相同, 均为 1 689 V (电流为 $1 \mu\text{A}$ 时).

当嵌入 PLDMOS 后, 传统隔离结构的 BV 降至 296 V, 测试曲线如图 4 所示. 通过微光显微镜 (Emission Microscope, EMMI) 实验确定泄漏位置, 在高压侧的 PLDMOS 栅极、PLDMOS 的源极和 NLDMOS 的漏极连接高压探针 (HV), 低压侧的 NLDMOS 栅极、PLDMOS 的漏极和 NLDMOS 的源极连接低压探针 (GND). EMMI 下传统隔离结构的照片如图 5 所示, 漏电位置位于 PLDMOS 源极一侧的 P 型漂移区 (I 区), 这是由高碰撞电离率所产生的泄露电流引起的, 泄露电流从 P 型漂移区向衬底垂直流动.

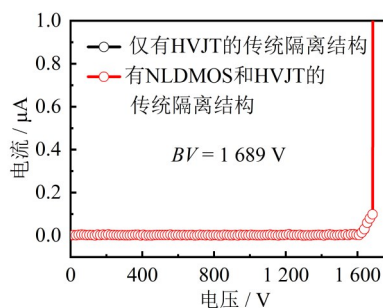


图 3 不带有 PLDMOS 的传统隔离结构 BV 测试曲线图

使用 Sentaurus 软件对 PLDMOS 的源端漏电进行仿真研究, 其中器件结构采用 Tsuprem4 半导体器件工艺仿真工具搭建, 程序根据 CSMC 0.8 μm 工艺实际工艺

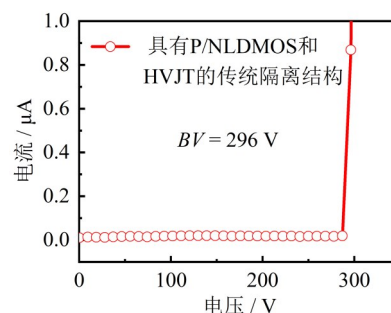


图 4 传统隔离结构关态 BV 测试曲线图

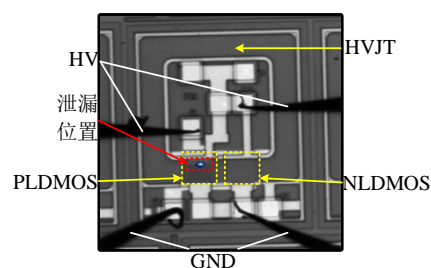


图 5 传统隔离结构 EMMI 照片

流程校准; 器件电学特性采用 Sdevice 半导体器件电学仿真工具完成, 物理模型包括: 有效本征密度模型 Old-Slotboom, 迁移率模型 DopingDep、HighFiedsaturation、Enormal、复合模型 SRH、Auger 和雪崩模型 Unibo. 1 200 V 条件下嵌入传统隔离结构的 PLDMOS 的碰撞电离率分布如图 6(a) 所示, 可以看到器件的击穿点位于 PLDMOS 源极一侧的 P 型漂移区, 其空穴电流密度分布如图 6(b) 所示, 可以看到空穴电流由 P 型漂移区向衬底垂直流动, 仿真结果与实际测试结果相吻合.

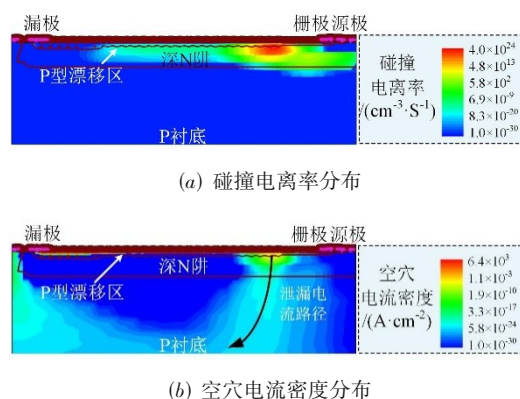


图 6 传统隔离结构的 PLDMOS 在 1 200 V 条件下的仿真结果图

施加 1 200 V 电压条件下嵌入传统隔离结构和提出隔离结构的 PLDMOS 的表面电势分布对比如图 7 所示. 宽间距的 PDFPs 有效地减小了源端 (区域 I) 附近的电势分布梯度, 将源端承受的电压从 469 V 降低到 286 V, 并且使漏端 (区域 III) 附近的电势分布梯度保持较小

的值. 而窄间距的PDFPs增大了电势分布梯度, 显著提高了P型漂移区中间区域(区域II)承受的电压. 电势分布的调整使得PLDMOS的电势分布更加均匀, 削弱了PLDMOS源极侧P型漂移区(区域I)的碰撞电离, 因而避免了PLDMOS的提前击穿.

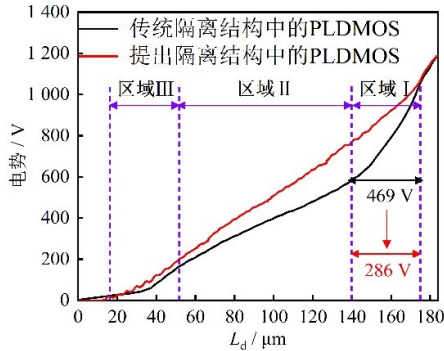


图7 传统隔离结构和提出隔离结构的PLDMOS在1200V条件下的表面电势分布对比

提出的具有HVJT、P/NLDMOS和PDFPs隔离结构的BV测试曲线如图8所示, EMMI下的隔离结构照片如图9所示. 利用PDFPs电势调控技术, 所提出的隔离结构的BV为1680V, 比传统隔离结构提高了467%, 泄漏点从PLDMOS区域转移到HVJT区域的拐角, 这意味着PLDMOS的BV从296V增加到1680V以上. 1200V条件下嵌入提出隔离结构的PLDMOS的碰撞电离率分布如图10(a)所示, 位于PLDMOS源端P型漂移区的击穿点消失; 其空穴电流密度分布如图10(b)所示, 该电压条件下发生明显的由P型漂移区向衬底的空穴电流泄露, 意味着器件在1200V条件下并未击穿.

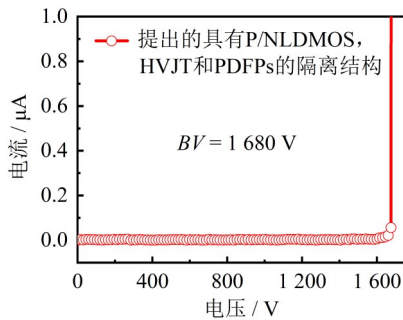


图8 提出隔离结构的BV测试曲线

3.2 开态特性

在栅源电压 $|V_{GS}|$ 为5V、10V、15V和20V条件下测得的提出隔离结构中P/NLDMOS的 $I-V$ 曲线如图11所示. 二者的 $I-V$ 曲线均表现出良好的输出稳定性, 并且开态击穿电压都超过了1500V, 可以满足1200V HVIC对电平以为LDMOS电安全工作区的需求.

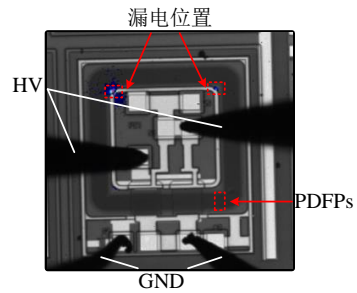
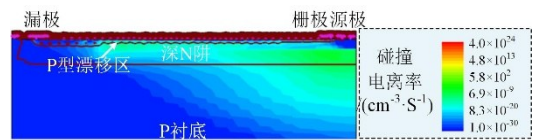
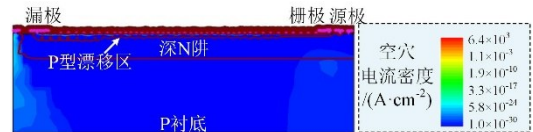


图9 提出隔离结构的EMMI照片

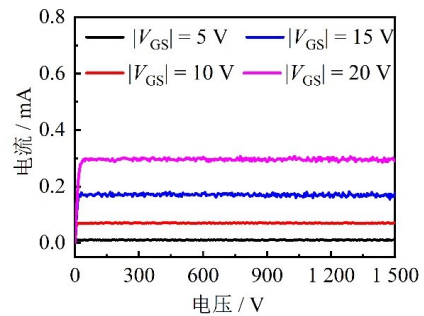


(a) 碰撞电离率分布

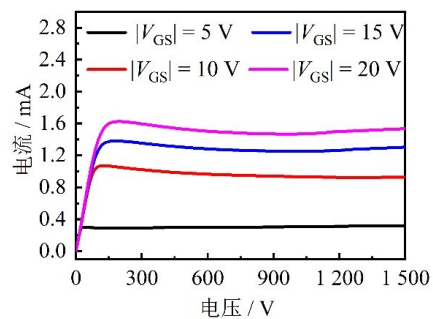


(b) 空穴电流密度分布

图10 提出隔离结构的PLDMOS在1200V条件下的仿真结果图



(a) PLDMOS



(b) NLDMOS

图11 不同栅压下提出结构中的LDMOS $I-V$ 测试曲线

4 结论

本文在1200V隔离结构中, 研究了一种依靠PD-

FPs 实现的电势调控技术. 通过 PDFPs 的电势控制作用有效地抑制了 PLDMOS 中源端 P 型漂移区的强碰撞电离, 避免了 PLDMOS 的提前击穿. 实验结果表明提出的隔离结构 BV 达到 1 680 V, 与传统隔离结构相比提高了 467%. 除此之外, 提出的 LDMOS 器件的开态击穿电压达到 1 500 V 以上且 $I-V$ 曲线平稳, 可以更好地满足 1 200 V HVIC 中对 LDMOS 的应用需求.

参考文献

- [1] ZHU J, YU S Y, LU Y Y, et al. Study and implementation of 600-V high-voltage gate driver IC with the common-mode dual-interlock technique for GaN devices[J]. IEEE Transactions on Industrial Electronics, 2021, 68(2): 1506-1514.
- [2] SONG K, OH W, CHOI J, et al. A new 1200 V HVIC with high side edge trigger in order to solve the latch on failure by the negative VS surge[C]//2018 IEEE 30th International Symposium on Power Semiconductor Devices and IC's (ISPSD). Piscataway: IEEE, 2018: 351-354.
- [3] ZHU J, ZHANG Y W, SUN W F, et al. Noise immunity and its temperature characteristics study of the capacitive-loaded level shift circuit for high voltage gate drive IC[J]. IEEE Transactions on Industrial Electronics, 2018, 65(4): 3027-3034.
- [4] KIM S, LAFONTEESE D, ZHU D Y, et al. A new ESD self-protection structure for 700V high side gate drive IC[C]//2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD). Piscataway: IEEE, 2017: 467-470.
- [5] KIM S L, JEON C K, KIM M H, et al. Realization of robust 600V high side gate drive IC with a new isolated self-shielding structure[C]//Proceedings of ISPSD'05. The 17th International Symposium on Power Semiconductor Devices and IC's, 2005. Piscataway: IEEE, 2005: 143-146.
- [6] TERASHIMA T, SHIMIZU K, HINE S. A new level-shifting technique by divided RESURF structure[C]//Proceedings of 9th International Symposium on Power Semiconductor Devices and IC's. Piscataway: IEEE, 1997: 57-60.
- [7] TANAKA T, YAMAJI M, JONISHI A, et al. A new downsized HVIC with high ESD tolerance[C]//2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD). Piscataway: IEEE, 2017: 175-178.
- [8] SHIMIZU K, TERASHIMA T. The 2nd generation divided RESURF structure for high voltage ICs[C]//2008 20th International Symposium on Power Semiconductor Devices and IC's. Piscataway: IEEE, 2008: 311-314.
- [9] DISNEY D, LETAVIC T, TRAJKOVIC T, et al. High-voltage integrated circuits: History, state of the art, and future prospects[J]. IEEE Transactions on Electron Devices, 2017, 64(3): 659-673.
- [10] JONISHI A, AKAHANE M, YAMAJI M, et al. A breakthrough concept of HVICs for high negative surge immunity[C]//2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC's (ISPSD). Piscataway: IEEE, 2015: 57-60.
- [11] CHOI Y, JEON C, KIM M. Design and process considerations for 1200V HVIC technology[C]//2009 21st International Symposium on Power Semiconductor Devices & IC's. Piscataway: IEEE, 2009: 311-314.
- [12] YOSHINO M, SHIMIZU K. A novel high voltage Pch-MOS with a new drain drift structure for 1200V HVICs[C]//2013 25th International Symposium on Power Semiconductor Devices & IC's (ISPSD). Piscataway: IEEE, 2013: 77-80.
- [13] YOSHINO M, SHIMIZU K, TERASHIMA T. A new 1200V HVIC with a novel high voltage Pch-MOS[C]//2010 22nd International Symposium on Power Semiconductor Devices & IC's (ISPSD). Piscataway: IEEE, 2010: 93-96.
- [14] DUAN B X, LI M Z, DONG Z M, et al. New super-junction LDMOS breaking silicon limit by multi-ring assisted depletion substrate[J]. IEEE Transactions on Electron Devices, 2019, 66(11): 4836-4841.
- [15] ZHANG B, ZHANG W T, LI Z H, et al. Equivalent substrate model for lateral super junction device[J]. IEEE Transactions on Electron Devices, 2014, 61(2): 525-532.
- [16] ZHANG J, GUO Y F, PAN D Z, et al. Effective doping concentration theory: A new physical insight for the double-RESURF lateral power devices on SOI substrate[J]. IEEE Transactions on Electron Devices, 2018, 65(2): 648-654.
- [17] CHENG S K, FANG D, QIAO M, et al. A novel 700V deep trench isolated double RESURF LDMOS with P-sink layer[C]//2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD). Piscataway: IEEE, 2017: 323-326.
- [18] QIAO M, WANG Y R, ZHOU X, et al. Analytical modeling for a novel triple RESURF LDMOS with N-top layer[J]. IEEE Transactions on Electron Devices, 2015, 62(9): 2933-2939.
- [19] QIAO M, LI Y F, ZHOU X, et al. A 700V junction-isolated triple RESURF LDMOS with N-type top layer[J]. IEEE Electron Device Letters, 2014, 35(7): 774-776.

作者简介



张 森 男, 2004 年于电子科技大学获得学士学位, 目前为东南大学电子信息专业学位在读博士生, 无锡华润上华科技有限公司总经理, 高级工程师. 主要研究方向为功率半导体集成电路.

E-mail: zhangsen@csmc.crmicro.com



孙伟锋 男, 1977 年出生, 江苏武进人. 2000 年、2003 年、2007 年于东南大学分别获得学士、硕士、及博士学位. 目前为东南大学首席教授, 国家高层次人才, 江苏省特聘教授, 博士生导师. 主要研究方向为功率集成电路. 中国电子学会会员编号: E190009272S.

E-mail: swffrog@seu.edu.cn